

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月22日

出 願 番 号
Application Number:

特願2002-242499

[ST.10/C]:

[JP2002-242499]

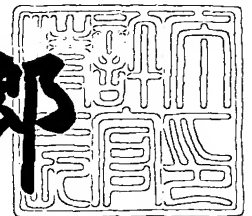
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032626

【書類名】 特許願

【整理番号】 R7052

【提出日】 平成14年 8月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/331
H01L 29/732

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 太田 順道

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 新井 一浩

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 豊田 泰之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 曾根高 真一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バイポーラトランジスタ、発振回路および電圧制御型発振装置

【特許請求の範囲】

【請求項 1】 半導体基板と、
前記半導体基板上に形成されたトランジスタ動作領域と、
前記半導体基板の表面上を覆うように形成された絶縁膜と、
前記トランジスタ動作領域から前記絶縁膜を貫通し、前記絶縁膜上まで引き出された引出配線と、
前記引出配線に接続されたワイヤボンディング用のパッドと、
前記パッドに接続された容量調整用配線とを備えたことを特徴とするバイポーラトランジスタ。

【請求項 2】 前記半導体基板は N^+ / N 型のコレクタ基板であり、前記コレクタ基板の裏面にはコレクタ電極が形成され、前記パッドは、前記コレクタ基板の表面上にエミッタパッドおよびベースパッドとして形成されることを特徴とする請求項 1 記載のバイポーラトランジスタ。

【請求項 3】 前記ベースパッドおよび前記エミッタパッドの少なくとも一方に接続される前記容量調整用配線の面積を調整することにより、対応するコレクターベース間容量およびコレクターエミッタ間容量の少なくとも一方の容量値が調整されることを特徴とする請求項 2 記載のバイポーラトランジスタ。

【請求項 4】 前記エミッタパッドに接続された前記容量調整用配線と、前記ベースパッドに接続された前記容量調整用配線との対向する配線長を調整することにより、エミッターベース間容量の容量値が調整されることを特徴とする請求項 2 記載のバイポーラトランジスタ。

【請求項 5】 前記エミッタパッドに接続された前記容量調整用配線と、前記ベースパッドに接続された前記容量調整用配線とが櫛形に配置されることを特徴とする請求項 4 記載のバイポーラトランジスタ。

【請求項 6】 前記半導体基板は N^+ / N 型のエミッタ基板であり、前記エミッタ基板の裏面にはエミッタ電極が形成され、前記パッドは、前記エミッタ基板の表面上にコレクタパッドおよびベースパッドとして形成されることを特徴とす

る請求項 1 記載のバイポーラトランジスタ。

【請求項 7】 前記コレクタパッドに接続された前記容量調整用配線と、前記ベースパッドに接続された対向する前記容量調整用配線とが前記絶縁膜を挟んで、コレクターベース間容量を金属-絶縁体-金属 (MIM) 型容量として形成し、前記容量調整用配線の対向する面積を調整することにより、コレクターベース間容量の容量値が調整されることを特徴とする請求項 6 記載のバイポーラトランジスタ。

【請求項 8】 請求項 3 記載のバイポーラトランジスタを発振アンプとして用いた発振回路であって、

発振動作に寄与する容量の少なくとも一部が、前記容量調整用配線と対向する前記コレクタ電極との間に形成された寄生容量により構成されることを特徴とする発振回路。

【請求項 9】 請求項 4 または 5 記載のバイポーラトランジスタを発振アンプとして用いた発振回路であって、

発振動作に寄与する容量の少なくとも一部が、前記エミッタパッドに接続された前記容量調整用配線と、前記ベースパッドに接続された前記容量調整用配線との間に形成された寄生容量により構成されることを特徴とする発振回路。

【請求項 10】 請求項 7 記載のバイポーラトランジスタを発振アンプとして用いた発振回路であって、

発振動作に寄与する容量の少なくとも一部が前記 MIM 型容量により構成されることを特徴とする発振回路。

【請求項 11】 入力電圧に応じて共振周波数の値を変化する共振回路と、前記共振周波数に応じた周波数の信号を発振する、請求項 8 から 10 のいずれか一項記載の発振回路と、

前記発振回路からの発振信号を増幅して出力するバッファ回路とを備えたことを特徴とする電圧制御型発振装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バイポーラトランジスタに関し、特に電圧制御型発振装置（VCO : Voltage Controlled Oscillator）に用いられるバイポーラトランジスタ、それを用いた発振回路、かかる発振回路を用いた電圧制御型発振装置に関する。

【 0 0 0 2 】

【従来の技術】

この約 1 0 年間における携帯電話の急速な普及により、高周波デバイス技術、高周波回路技術は劇的な進化を遂げ、それによる高周波装置、例えば携帯電話端末などは、年々、高性能化、小型化、さらには低コスト化が進んでいる。

【 0 0 0 3 】

これらの通信装置におけるキーパーツの一つに、VCOがある。これは一般に、共振回路と、発振回路と、バッファ回路とからなり、通信に必要な搬送波の高周波信号を、温度変化などに対しても安定に提供する回路である。その構成を図 1 1 に示す。

【 0 0 0 4 】

図 1 1 において、VCOは、印加電圧 V_t により容量値が変化する可変容量やインダクタなどから成る共振回路 1 1 1 と、共振回路 1 1 1 の共振周波数に応じた周波数の信号を発振する発振回路 1 1 2 と、得られた発振信号を増幅して高周波信号 RF_{out} を出力するバッファ回路 1 1 3 とで構成される。図 1 1 に示す VCOは一例であり、トランジスタの向きの違いなど様々な回路が提案されているが、一般的にはこの回路で代表されている。

【 0 0 0 5 】

ここで、発振回路 1 1 2 には、バイポーラトランジスタ T_1 に接続されたバランス容量 C_{ce} 、 C_{cb} が必要となる。これらのバランス容量 C_{ce} 、 C_{cb} は、元来、発振周波数の微調整や出力の調整、さらには電源電圧の変動や発振回路の重要な要素となる C/N （搬送波対雑音比）特性の調整に用いられている。

【 0 0 0 6 】

これらの回路は、携帯電話では、小型化のためにモジュール化されたり、IC化されてりしている。特にモジュールでは、小型化に加えて低コスト化のため、小型パッケージに実装されたディスクリート（単体）のバイポーラトランジスタ

が用いられている。その従来のバイポーラトランジスタについて、図 9 および図 10 を用いて説明する。

【0007】

図 9 は、従来のバイポーラトランジスタをチップ上面から見た平面図で、図 10 は、図 9 の c - c' 線に沿った断面図である。図 9 および図 10 において、1 は半導体基板としての N^+ /N 型のコレクタ基板、2 はバイポーラトランジスタが形成されたトランジスタ動作領域、3 はコレクタ基板 1 およびトランジスタ動作領域 2 の表面に形成された絶縁膜、4 および 6 はそれぞれトランジスタ動作領域 2 から絶縁膜 3 を貫通して絶縁膜 3 上に形成されたエミッタ引出配線およびベース引出配線、5 および 7 はそれぞれエミッタ引出配線 4 およびベース引出配線に接続され、組立時にはワイヤーボンディングが施されるエミッタパッドおよびベースパッド、8 はコレクタ基板 1 の裏面に形成されたコレクタ電極である。また、トランジスタ動作領域 2 には、P 型拡散ベース 21 と、 P^+ ベースコンタクト 22 と、 N^+ エミッタが形成されている。このようなチップ構造を基板コレクタ構造と言う。

【0008】

【発明が解決しようとする課題】

しかしながら、従来では、図 11 に示すような発振回路 112 を構成するために、ディスクリートデバイスであるバランス容量 C_{ce} 、 C_{cb} がディスクリートデバイスであるバイポーラトランジスタ T1 に外付けされる。これにより、発振回路 112 の Q 値（インダクタンスもしくはキャパシタンス成分とレジスタンス成分との比）が低くなり、結果として発振回路 112 の C/N が劣化するという問題があった。

【0009】

本発明は、かかる問題点に鑑みてなされたものであり、その目的は、発振回路を構成するバランス容量の少なくとも一部が半導体製造工程で組み込まれたバイポーラトランジスタ、かかるバイポーラトランジスタを用いて所望の高い高周波性能が得られる発振回路、およびかかる発振回路を用いて高性能で且つ小型化および低コスト化を図った電圧制御型発振装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係るバイポーラトランジスタは、半導体基板と、半導体基板上に形成されたトランジスタ動作領域と、半導体基板の表面上を覆うように形成された絶縁膜と、トランジスタ動作領域から絶縁膜を貫通し、絶縁膜上まで引き出された引出配線と、引出配線に接続されたワイヤボンディング用のパッドと、パッドに接続された容量調整用配線とを備えたことを特徴とする。

【 0 0 1 1 】

本発明に係るバイポーラトランジスタにおいて、半導体基板は N^+ / N 型のコレクタ基板であり、コレクタ基板の裏面にはコレクタ電極が形成され、パッドは、コレクタ基板の表面上にエミッタパッドおよびベースパッドとして形成されることを特徴とする。

【 0 0 1 2 】

この場合、ベースパッドおよびエミッタパッドの少なくとも一方に接続される容量調整用配線の面積を調整することにより、対応するコレクターベース間容量およびコレクターエミッタ間容量の少なくとも一方の容量値が調整されることを特徴とする。

【 0 0 1 3 】

また、エミッタパッドに接続された容量調整用配線と、ベースパッドに接続された容量調整用配線との対向する配線長を調整することにより、エミッターベース間容量の容量値が調整されることを特徴とする。

【 0 0 1 4 】

この場合、エミッタパッドに接続された容量調整用配線と、ベースパッドに接続された容量調整用配線とが楕円形に配置されることが好ましい。

【 0 0 1 5 】

また、本発明に係るバイポーラトランジスタにおいて、半導体基板は N^+ / N 型のエミッタ基板であり、エミッタ基板の裏面にはエミッタ電極が形成され、パッドは、エミッタ基板の表面上にコレクタパッドおよびベースパッドとして形成

されることを特徴とする。

【0016】

この場合、コレクタパッドに接続された容量調整用配線と、ベースパッドに接続された対向する容量調整用配線とが絶縁膜を挟んで、コレクターベース間容量を金属-絶縁体-金属(MIM)型容量として形成し、容量調整用配線の対向する面積を調整することにより、コレクターベース間容量の容量値が調整されることを特徴とする。

【0017】

前記の目的を達成するため、本発明に係る第1の発振回路は、本発明に係るバイポーラトランジスタを発振アンプとして用いた発振回路であって、発振動作に寄与する容量の少なくとも一部が、容量調整用配線と対向するコレクタ電極との間に形成された寄生容量により構成されることを特徴とする。

【0018】

前記の目的を達成するため、本発明に係る第2の発振回路は、本発明に係るバイポーラトランジスタを発振アンプとして用いた発振回路であって、発振動作に寄与する容量の少なくとも一部が、エミッタパッドに接続された容量調整用配線と、ベースパッドに接続された容量調整用配線との間に形成された寄生容量により構成されることを特徴とする。

前記の目的を達成するため、本発明に係る第3の発振回路は、本発明に係るバイポーラトランジスタを発振アンプとして用いた発振回路であって、発振動作に寄与する容量の少なくとも一部がMIM型容量により構成されることを特徴とする。

【0019】

前記の目的を達成するため、本発明に係る電圧制御型発振装置は、入力電圧に応じて共振周波数の値を可変する共振回路と、共振周波数に応じた周波数の信号を発振する第1から第3の発振回路のいずれかと、該発振回路からの発振信号を増幅して出力するバッファ回路とを備えたことを特徴とする。

【0020】

上記の構成によれば、容量調整用配線と N^+ コレクタ基板との間に形成された

コレクターベース間容量およびコレクターエミッタ間容量、エミッタパッドに接続された容量調整用配線と、ベースパッドに接続された容量調整用配線との間に形成されたエミッターベース間容量を増加させて、これらの容量を、発振回路を構成するバランス容量の少なくとも一部として、半導体製造工程で、トランジスタ動作領域が小さいバイポーラトランジスタに取り込むことができる。

【 0 0 2 1 】

また、上記の端子間容量の値は、容量調整用配線を用いて容易に調整することができ、発振回路において所望の高い高周波性能を得ることができる。

【 0 0 2 2 】

また、かかる発振回路を用いることで、高性能で且つ小型化および低コスト化を図った電圧制御型発振装置を実現することができる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照しながら説明する。なお、以下の実施形態で説明するバイポーラトランジスタはいずれも、従来例で説明した図 1 1 に示す発振回路および V C O に適用される。

【 0 0 2 4 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係るバイポーラトランジスタをチップ上面から見た平面図で、図 2 は、図 1 の a - a ' 線に沿った断面図である。なお、図 1 および図 2 において、図 9 および図 1 0 に示す従来例と同じ部分については、同一の符号を付して説明を省略する。

【 0 0 2 5 】

本実施形態が従来例と異なるのは、ベースパッド 7 に接続された容量調整用配線 1 1 を設けた点にある。

【 0 0 2 6 】

容量調整用配線 1 1 は、その一部がベースパッド 7 と接続されているが、残りは単に絶縁膜 3 の上部を覆っているだけであるので、電流増幅率や耐圧などの D C 的 (直流的) な電気特性には影響を及ぼさない。一方、 A C 的 (高周波的) に

は、容量調整用配線 11 は、 N^+ コレクタ基板との間に寄生容量を形成するので、バイポーラトランジスタのコレクターベース間容量の容量値が増加し、このコレクターベース間容量を図 11 に示す発振回路 112 のバランス容量 C_{cb} の少なくとも一部として半導体チップ内部に取り込むことができる。

【0027】

また、容量調整用配線 11 の面積を調整することで、コレクターベース間容量の容量値を容易に調整することができる。

【0028】

(第 2 の実施形態)

図 3 は、本発明の第 2 の実施形態に係るバイポーラトランジスタをチップ上面から見た平面図である。図 3 において、本実施形態が第 1 の実施形態と異なるのは、バイポーラトランジスタのコレクターベース間容量の代わりに、コレクターエミッタ間容量を増加させるために、一端がエミッタパッド 5 に接続された容量調整用配線 31、32 を設けた点にある。その他の構成は第 1 の実施形態と同じであるので、ここでは説明を繰り返さない。

【0029】

容量調整用配線 31、32 は、 N^+ コレクタ基板との間に寄生容量を形成するので、バイポーラトランジスタのコレクターエミッタ間容量の容量値が増加し、このコレクターエミッタ間容量を図 11 に示す発振回路 112 のバランス容量 C_{ce} の少なくとも一部として半導体チップ内部に取り込むことができる。

【0030】

また、容量調整用配線 31、32 の面積を調整することで、コレクターエミッタ間容量の容量値を容易に調整することができる。

【0031】

(第 3 の実施形態)

図 4 は、本発明の第 3 の実施形態に係るバイポーラトランジスタをチップ上面から見た平面図である。図 4 において、本実施形態が第 1 の実施形態と異なるのは、バイポーラトランジスタのコレクターエミッタ間容量とコレクターベース間容量を共に増加させるために、一端がエミッタパッド 5 に接続された容量調整用

配線 4 1 と、一端がベースパッド 7 に接続された容量調整用配線 4 2 とを設けた点にある。その他の構成は第 1 の実施形態と同じであるので、ここでは説明を繰り返さない。

【 0 0 3 2 】

容量調整用配線 4 1、4 2 は、 N^+ コレクタ基板との間に寄生容量を形成するので、バイポーラトランジスタのコレクターエミッタ間容量とコレクターベース間容量の容量値が共に増加し、これらのコレクターエミッタ間容量とコレクターベース間容量をそれぞれ図 1 1 に示す発振回路 1 1 2 のバランス容量 C_{ce} 、 C_{cb} の少なくとも一部として半導体チップ内部に取り込むことができる。

【 0 0 3 3 】

また、容量調整用配線 4 1、4 2 の面積を調整することで、コレクターエミッタ間容量とコレクターベース間容量の容量値を共に容易に調整することができる。

【 0 0 3 4 】

(第 4 の実施形態)

図 5 は、本発明の第 4 の実施形態に係るバイポーラトランジスタをチップ上面から見た平面図である。図 5 において、本実施形態が第 1 の実施形態と異なるのは、バイポーラトランジスタのコレクターベース間容量を増加させるために、一部がベースパッド 7 に接続された容量調整用配線 5 2 を設け、さらにエミッターベース間容量を増加させるために、容量調整用配線 5 2 と楕形に配置され、それぞれの一端がエミッタパッド 5 に接続された容量調整用配線 5 1、5 3 とを設けた点にある。その他の構成は第 1 の実施形態と同じであるので、ここでは説明を繰り返さない。

【 0 0 3 5 】

図 5 において、第 1 の実施形態と同様にコレクターベース間容量が増加しているのに加えて、一端がエミッタパッド 5 に接続された容量調整用配線 5 1、5 3 と、一部がベースパッド 7 に接続された容量調整用配線 5 2 とが楕形に配置されているため、互いの対向する配線長が長くなるため、楕形部分に寄生容量として形成されるエミッターベース間容量も増加している。

【 0 0 3 6 】

このように、本実施形態によれば、コレクターベース間容量とエミッターベース間容量を発振回路のバランス容量の少なくとも一部として半導体チップ内部に取り込むことができる。

【 0 0 3 7 】

また、容量調整用配線 5 2 の面積を調整することで、コレクターベース間容量の容量値を、容量調整用配線 5 1 と 5 2 の櫛形部分、容量調整用配線 5 3 と 5 2 の櫛形部分における対向する配線長を調整することで、エミッターベース間容量の容量値を容易に調整することができる。

【 0 0 3 8 】

(第 5 の実施形態)

図 6 は、本発明の第 5 の実施形態に係るバイポーラトランジスタをチップ上面から見た平面図である。図 6 において、本実施形態が第 4 の実施形態と異なるのは、第 4 の実施形態では、コレクターベース間容量とエミッターベース間容量の容量値を共に増加させているのに対して、本実施形態では、主にエミッターベース間容量を増加させるために、一部がベースパッド 7 に接続された容量調整用配線 6 2 と、一端がエミッタパッド 5 に接続された容量調整用配線 6 1、6 3 との櫛形部分における対向する配線長を第 4 の実施形態のそれよりも長くした点にある。その他の構成は第 4 の実施形態と同じであるので説明を省略する。

【 0 0 3 9 】

(第 6 の実施形態)

図 7 は、本発明の第 6 の実施形態に係るバイポーラトランジスタをチップ上面から見た平面図で、図 8 は、図 7 の b - b' 線に沿った断面図である。図 7 および図 8 において、7 1 は半導体基板としての N^+ / N エミッタ基板、7 2 はバイポーラトランジスタが形成されたトランジスタ動作領域、7 3 はエミッタ基板 7 1 およびトランジスタ動作領域 2 の表面に形成された絶縁膜、7 4 および 7 6 はそれぞれトランジスタ動作領域 7 2 から絶縁膜 7 3 を貫通して、絶縁膜 7 3 上に形成されたコレクタ引出配線およびベース引出配線、7 5 および 7 7 はそれぞれコレクタ引出配線 7 4 およびベース引出配線 7 6 に接続され、組立時にはワイヤ

ーボンディングが施されるコレクタパッドおよびベースパッド、80はエミッタ基板71の裏面に形成されたエミッタ電極である。このようなチップ構造を基板エミッタ構造と言う。

【0040】

78は容量調整用配線であり、その一端はコレクタ引出配線74に接続され、ベースパッド77に接続された容量調整用配線79とともに、絶縁膜73の一部を挟んでMIM (Metal Insulator Metal) 型の容量を形成している。これにより、コレクターベース間容量が増加し、このコレクターベース間容量を図11に示す発振回路112のバランス容量 C_{cb} の少なくとも一部として半導体チップ内部に取り込むことができる。ただし、本実施形態は、第1から第5の実施形態とは異なり、2層の配線構造を必要とする。

【0041】

なお、第1から第5の実施形態では、容量調整用配線層を最上部の配線層としたが、基本的に2層以上の配線プロセスが用いられている場合は、どの配線層を容量調整用配線として用いてもよい。しかし、最も効果的なのは、当然ながら最下部の配線層を容量調整用配線とした場合である。

【0042】

また、第1から第5の実施形態では、基板コレクタ構造について例示および説明したが、本発明はこれに限定されず、基板エミッタ構造にも適用できる。同様に、第6の実施形態では、基板エミッタ構造について例示および説明したが、本発明はこれに限定されず、基板コレクタ構造にも適用できる。

【0043】

また、第1から第5の実施形態では、図2に示すように、 N^+ / N 型のコレクタ基板1上のトランジスタ動作領域2に、P型ベース21、 P^+ ベースコンタクト22、および N^+ エミッタ23を形成した横型トランジスタとしたが、本発明はこれに限定されず、P型ベースと N^+ エミッタの縦型トランジスタとしてもよい。

【0044】

さらに、第1から第5の実施形態では、図2に示すように、P型ベース21、

P⁺ベースコンタクト 2 2、および N⁺エミッタ 2 3 は、拡散により形成したが、本発明はこれに限定されず、図 1 3 に示すように、N⁺/N 型のコレクタ基板 1 3 0 1 上に順次エピタキシャル成長させた P 型ベース 1 3 0 2、N⁺エミッタ 1 3 0 3 であってもよい。

【 0 0 4 5 】

次に、第 1 から第 6 の実施形態によるバイポーラトランジスタを発振回路に用いた場合の利点について、図 1 2 を用いてコレクターベース間容量の場合を例に挙げて説明する。

【 0 0 4 6 】

図 1 2 は、コレクターベース間電圧 (V_{cb}) に対するコレクターベース間容量 (C_{cb}) の特性を示す図である。図 1 2 において、1 2 1 はトランジスタ動作領域が小さい場合の容量特性、1 2 2 はトランジスタ動作領域が大きい場合の容量特性、また 1 2 3 はトランジスタ動作領域が小さく、本発明による容量調整用配線を用いた場合の容量特性である。

【 0 0 4 7 】

発振回路の発振性能を向上するためには発振アンプであるバイポーラトランジスタを微細化して、遮断周波数などの高周波特性を向上させる方法が一般的である。ところが、高周波性能を向上するための微細化により、トランジスタが元来有しているトランジスタ動作領域の容量が小さくなる (図 1 2 の容量特性 1 2 1)。遮断周波数に近づいた高い周波数での発振では、図 1 1 に示すバランス容量の容量値が小さくても、あまり問題では無い。なぜなら、バランス容量でフィードバックされる量は、発振周波数を f 、バランス容量の容量値を C とすると、以下のインピーダンス Z に反比例し、

$$Z = 1 / (2 \pi f C)$$

発振周波数 f が大きいと、容量値 C が小さくても、インピーダンス Z は小さくなるので、十分な量がフィードバックされるためである。

【 0 0 4 8 】

一方、端子間容量が小さい高性能なバイポーラトランジスタを低い発振周波数で用いると、インピーダンス Z が非常に大きくなり、フィードバック量が不十分

になる。そのため、従来では、外付けのバランス容量を大きくする処置が取られたりしたが、前述のように発振回路のQ値の低下によりC/Nが劣化していた。従って、C/Nが重視される場合には、発振電力や効率などの他の諸特性を犠牲にして、高周波性能の低い、すなわち遮断周波数の低い、トランジスタ動作領域が大きいバイポーラトランジスタ（図12の容量特性122）を用いるような対策も取られていた。

【0049】

これに対し、第1から第6の実施形態の構成によれば、微細化された高性能なトランジスタ動作領域を損ねることなく、図12の容量特性123で示すように、大きなトランジスタ動作領域を用いたような、見かけ上の容量増加を行うことができるので、優れたC/N特性と、他の発振電力や効率などの諸特性とを両立させることができる。

【0050】

また、その製造過程から明らかなように、配線の一部の面積を増加させるだけで、工程数の増加やチップ面積の拡大を生じることも無い。

【0051】

【発明の効果】

以上のように、本発明によれば、発振回路のバランス容量をディスクリートデバイスであるバイポーラトランジスタ上に、ICのように製造コストを増加させることなく取り込み、高い高周波性能と小型化・低コスト化を両立させるとともに、優れたC/N特性と他の発振電力や効率などの諸特性も両立させることが可能になる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るバイポーラトランジスタの構造を示す平面図

【図2】 図1のa-a'線に沿った断面図

【図3】 本発明の第2の実施形態に係るバイポーラトランジスタの構造を示す平面図

【図4】 本発明の第3の実施形態に係るバイポーラトランジスタの構造を示す平面図

す平面図

【図 5】 本発明の第 4 の実施形態に係るバイポーラトランジスタの構造を示す平面図

【図 6】 本発明の第 5 の実施形態に係るバイポーラトランジスタの構造を示す平面図

【図 7】 本発明の第 6 の実施形態に係るバイポーラトランジスタの構造を示す平面図

【図 8】 図 7 の b - b' 線に沿った断面図

【図 9】 従来のバイポーラトランジスタの構造を示す平面図

【図 1 0】 図 9 の c - c' 線に沿った断面図

【図 1 1】 一般的な V C O の構成を示す回路図

【図 1 2】 本発明による効果を比較説明するためのコレクターベース間容量の特性図

【図 1 3】 本発明の他の実施形態に係るバイポーラトランジスタの構造を示す断面図

【符号の説明】

1、1 3 0 1 N^+ / N コレクタ基板

2、7 2 トランジスタ動作領域

2 1、1 3 0 2 P 型ベース

2 2 P^+ ベースコンタクト

2 3、1 3 0 3 N^+ エミッタ

3、7 3 絶縁膜

4 エミッタ引出配線

5 エミッタパッド

6、7 6 ベース引出配線

7、7 7 ベースパッド

8 コレクタ電極

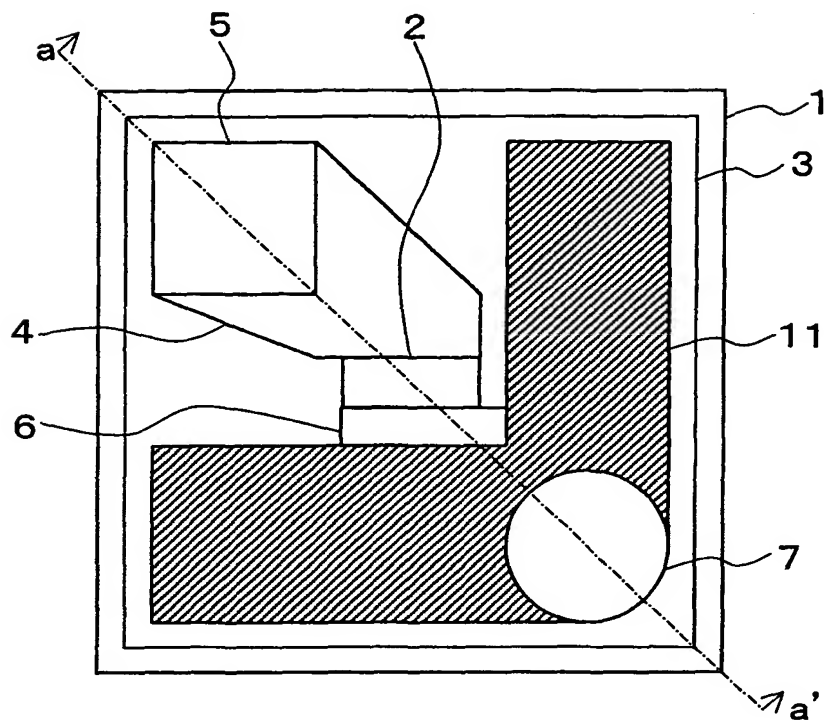
1 1、3 1、3 2、4 1、4 2 容量調整用配線

5 1、5 2、5 3、6 1、6 2、6 3 容量調整用配線

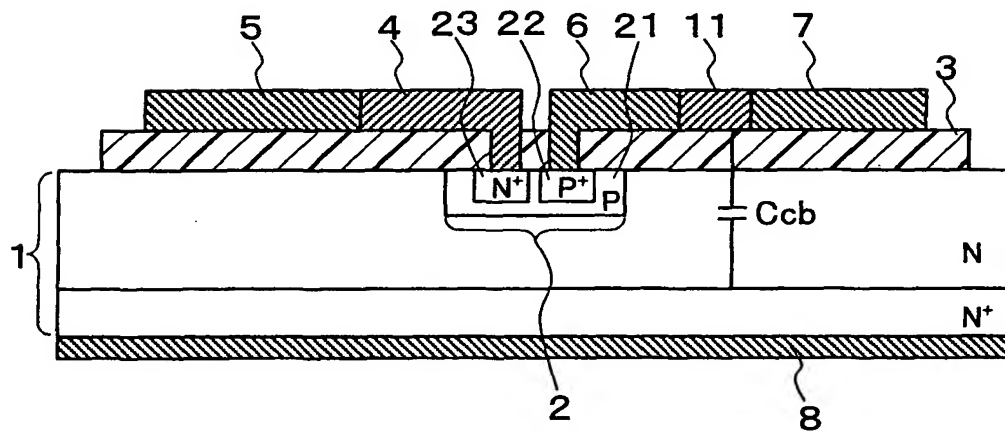
- 7 1 N^+ /Nエミッタ基板
- 7 4 コレクタ引出配線
- 7 5 コレクタパッド
- 7 8、7 9 容量調整用配線
- 8 0 エミッタ電極

【書類名】 図面

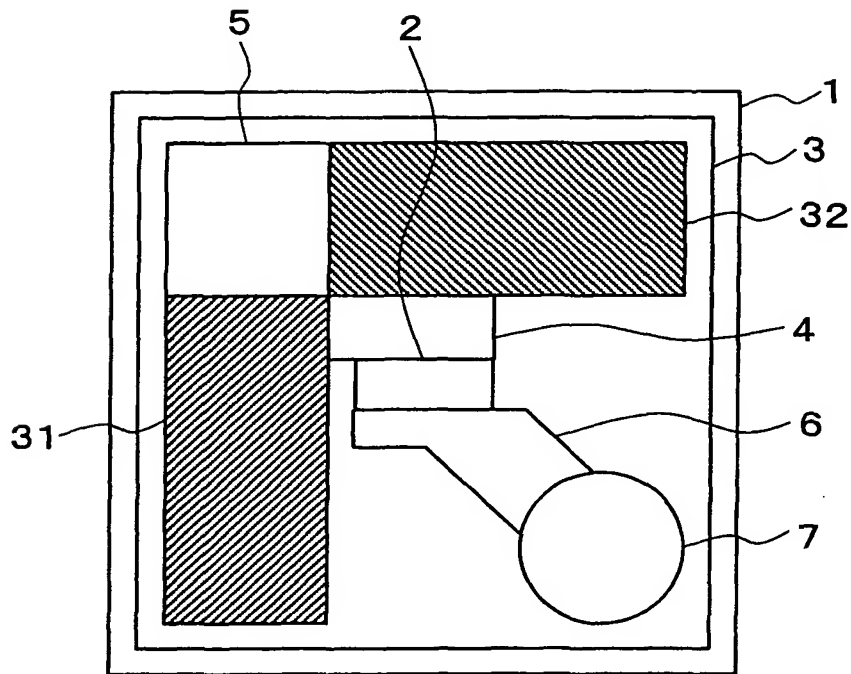
【図 1】



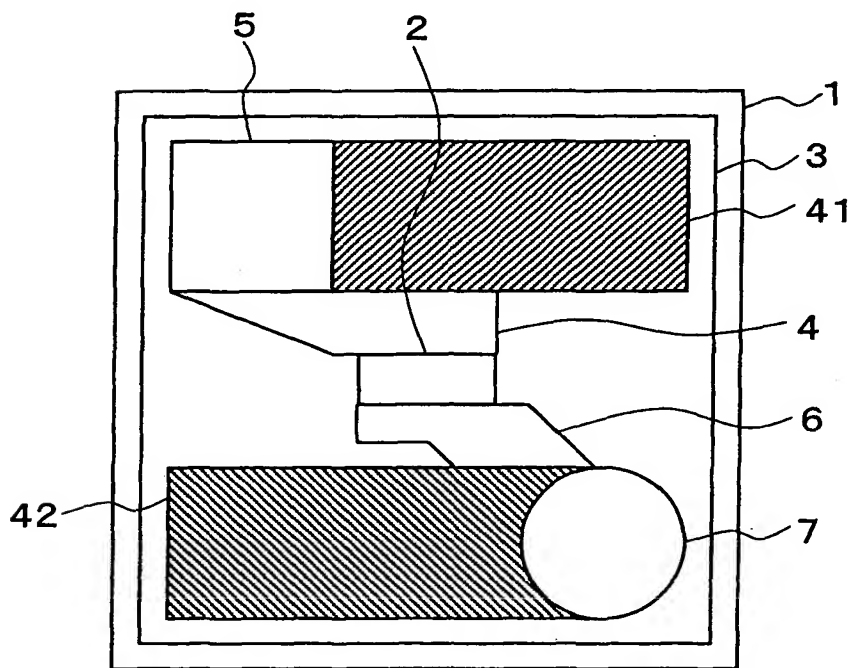
【図 2】



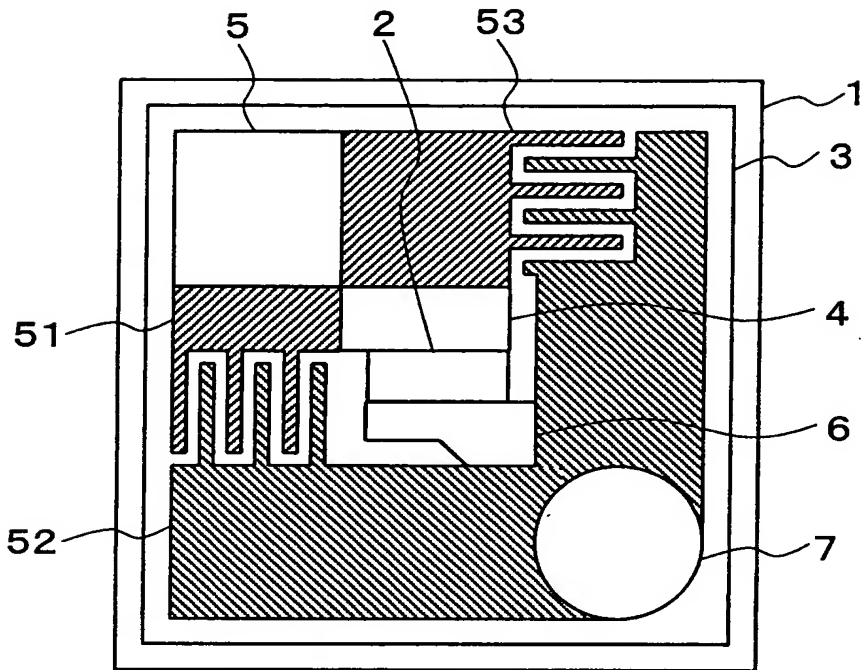
【図 3】



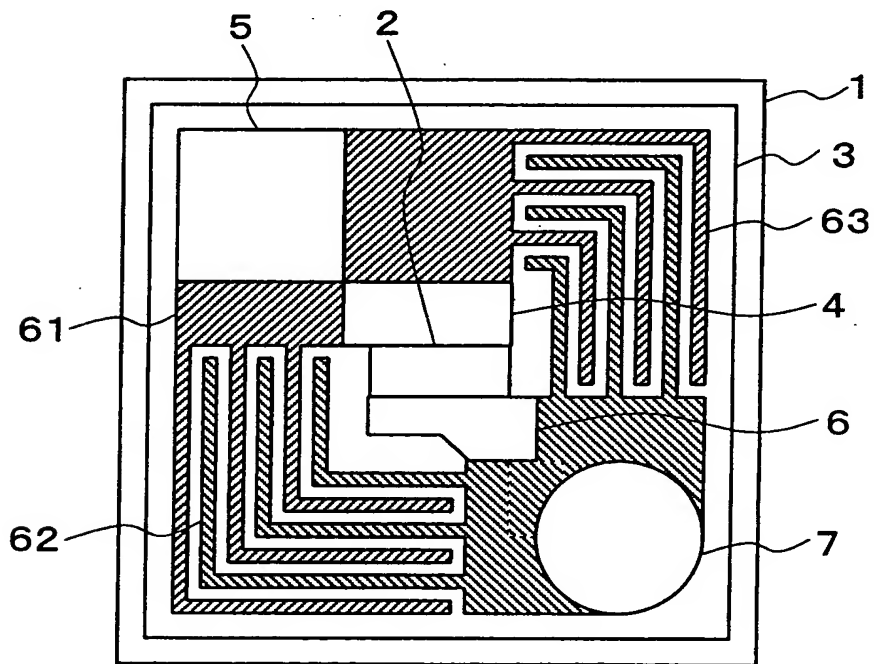
【図 4】



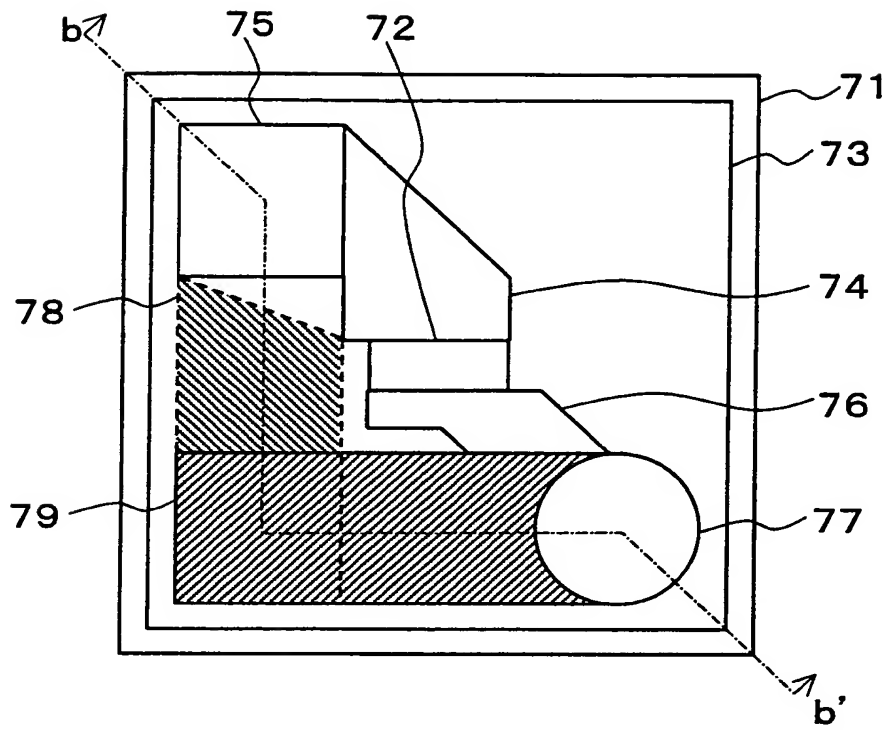
【図 5】



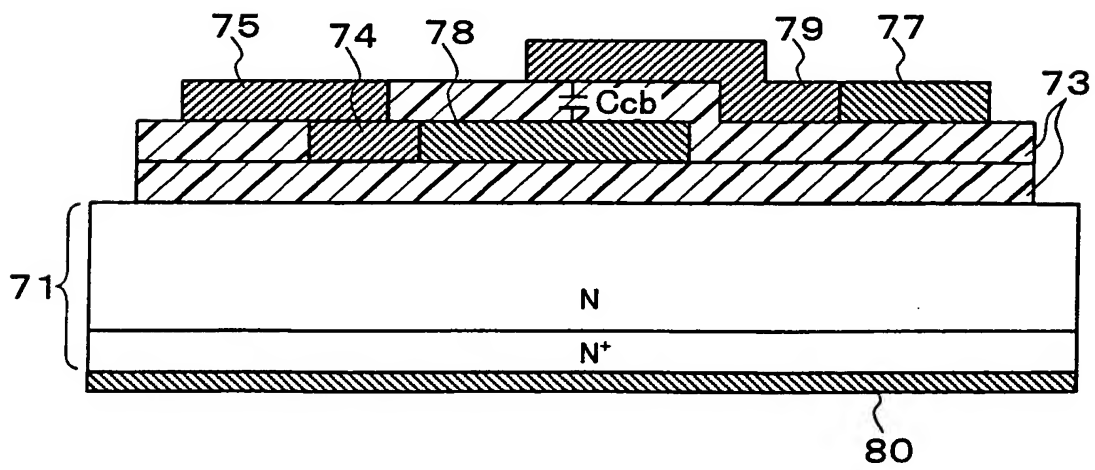
【図 6】



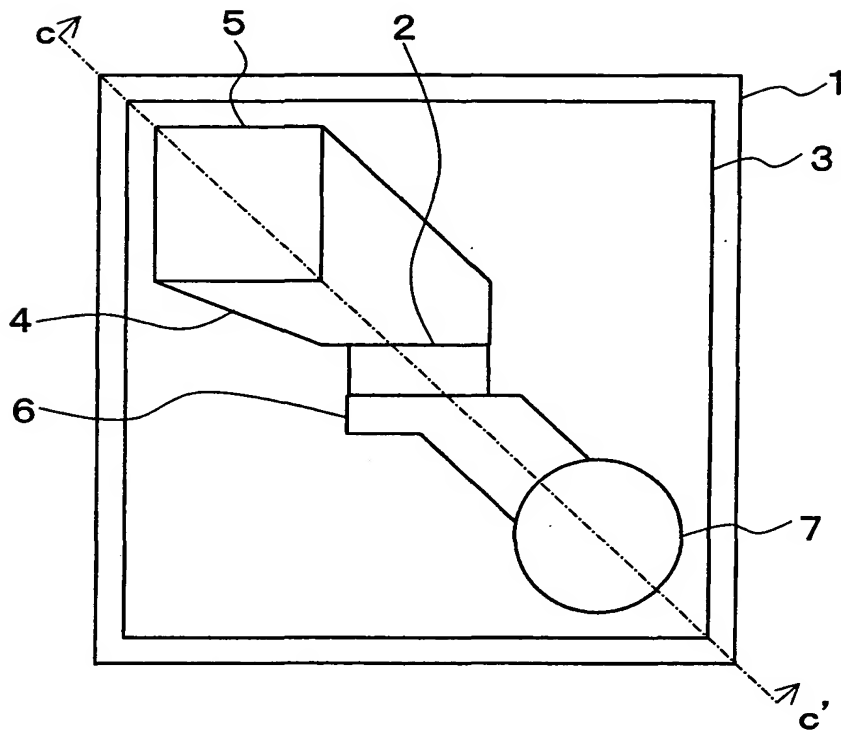
【図 7】



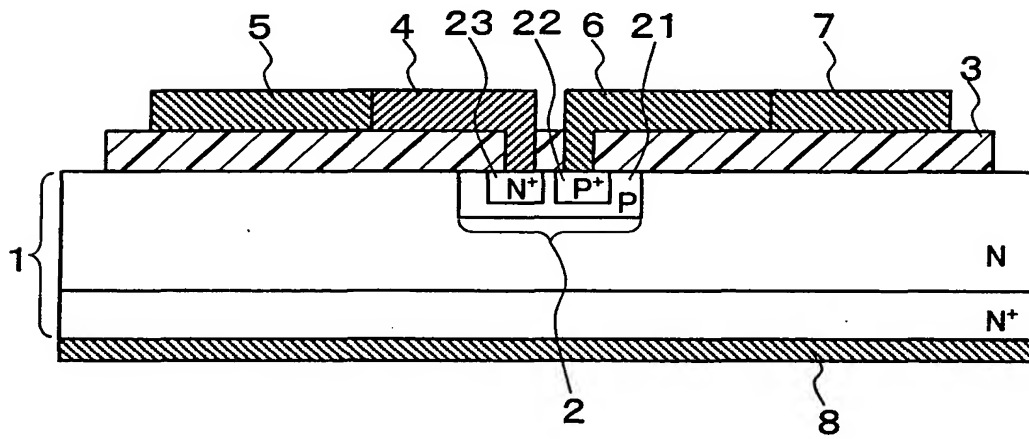
【図 8】



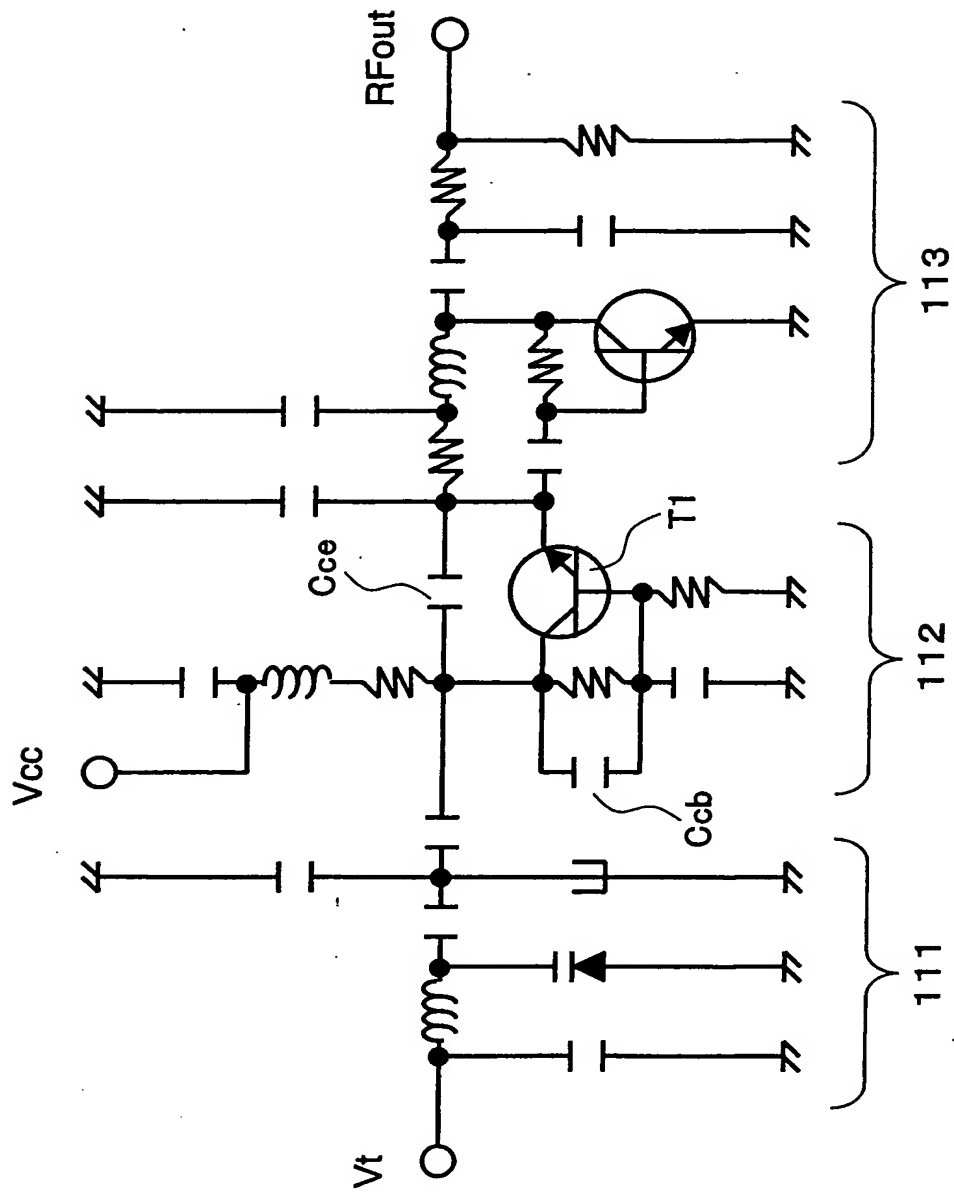
【図 9】



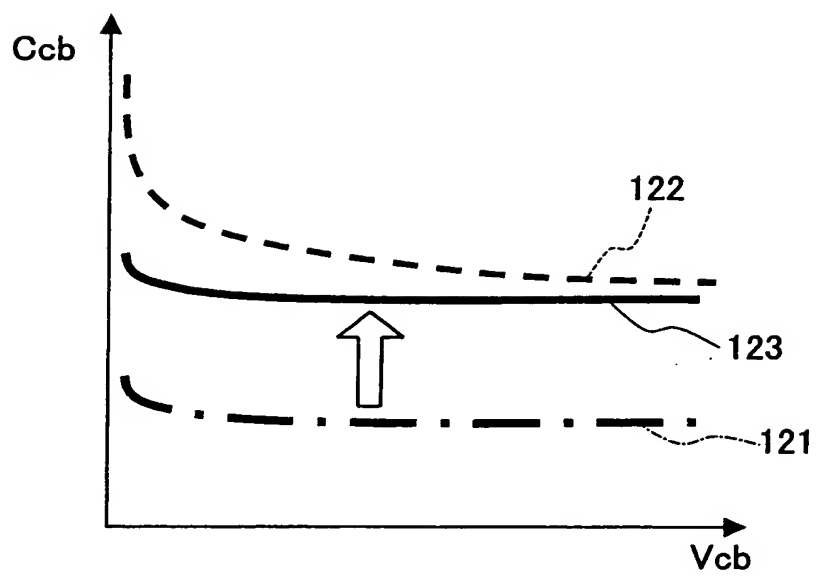
【図 10】



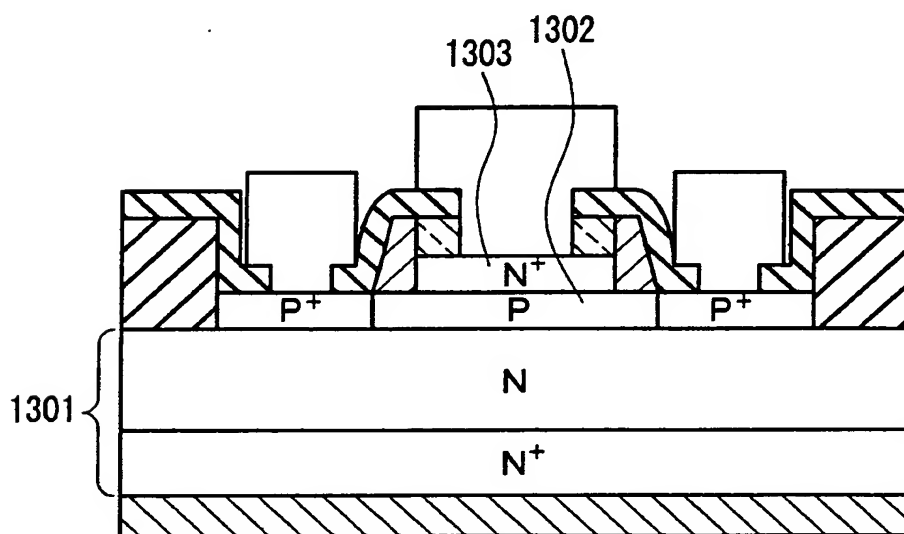
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 バイポーラトランジスタを発振回路の発振アンプとして用いた場合に、所望の高い高周波性能を得ると共に、小型、低コスト化を図る。

【解決手段】 ベースパッド 7 に接続された容量調整用配線 1 1 が、絶縁膜 3 および N コレクタ基板を挟んで、 N^+ コレクタ基板との間に寄生容量を形成することで、コレクターベース間容量 C_{cb} を増加させる。この容量を、発振回路を構成するバランス容量の少なくとも一部として、半導体製造工程で、トランジスタ動作領域 2 の小さい、発振アンプとして機能するバイポーラトランジスタに取り込む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社